

縦型 GaN パワーデバイス実現に向けた技術開発

岡 徹^{*1}, 伊奈 務^{*1}, 上野幸久^{*1}, 西井潤弥^{*1}, 田中成明^{*1},
長谷川一也^{*1}, 安西孝太^{*1}, 村上倫章^{*1}

Technological Developments of Vertical GaN Power Devices

Tohru Oka^{*1}, Tsutomu Ina^{*1}, Yukihisa Ueno^{*1}, Junya Nishii^{*1}, Nariaki Tanaka^{*1},
Kazuya Hasegawa^{*1}, Kota Yasunishi^{*1}, Noriaki Murakami^{*1}

要旨

自立 GaN 基板上縦型 GaN パワーデバイス開発の事例として、高耐圧・大電流動作縦型 GaN ショットキーダイオード (SBD), および、縦型 GaN トレンチ電界効果トランジスタ (MOSFET) の高耐圧化・低オン抵抗化技術に関して報告する。耐圧 800V 以上、電流 50A 以上で動作する SBD を作製し、SiC SBD と比較して逆回復特性が良好でリカバリー損失が低減できることを実証した。トランジスタに関しては、トレンチ MOSFET によりノーマリオフ動作させるとともに、フィールドプレート終端構造適用による高ブロッキング電圧 (1.6kV), および、チャンネル・ドリフト層設計最適化と正六角形セルレイアウト適用による低オン抵抗 (1.2kV 級で $1.8\text{m}\Omega\cdot\text{cm}^2$) をそれぞれ実現した。

Abstract

This report describes technological developments in vertical GaN power devices fabricated on freestanding GaN substrates. A vertical GaN Schottky barrier diode (SBD) with simultaneous high forward current of over 50 A and high blocking voltage exceeding 800 V was fabricated. This SBD exhibited excellent reverse recovery characteristics. Normally-off vertical GaN trench metal-oxide semiconductor field-effect transistors (MOSFETs) with a record-breaking blocking voltage of 1.6 kV were demonstrated using a field-plate edge termination technique. In addition, by optimizing channel and drift layer structures and adopting a regular hexagonal gate layout, specific on-resistance was reduced to as low as $1.8\text{m}\Omega\cdot\text{cm}^2$ while a blocking voltage of 1.2 kV was maintained.

* (社) 応用物理学会の了解を得て、第3回先進パワー半導体分科会研究会 vol.02, No.02 (2015) pp. 5-10 より一部修正して掲載

1. はじめに

GaN はバンドギャップが広く電子速度や破壊電界強度が高い等の優れた材料物性を有することから Si に代わるパワー半導体向け材料として注目され、Si 基板上に形成された横型 GaN 電界効果トランジスタ (FET) は既に実用化が始まっている。この横型デバイスでは、安価でかつ大口径の Si を基板として用いることができ、また、AlGaN/GaN ヘテロ接合を用いて高移動度の 2 次元電子ガスを活用することにより低損失・高速スイッチングさせることができる等の利点がある一方、車載用デバイスで要求されるレベルのしきい値電圧で動作させることが困難である。高耐圧動

作させるにはゲート・ドレイン間距離を離す必要がありチップサイズが大きくなるため高電力密度での動作が難しい等の課題がある。これらの課題を解決しさらなる高耐圧・高出力化を目指すには、Si 絶縁ゲートバイポーラトランジスタ (IGBT) や SiC 電界効果トランジスタ (MOSFET) と同様、GaN においても縦型デバイスの実現が望まれる。

縦型 GaN デバイスを実現する上で必要となる自立 GaN 基板に関しては転位密度が $10^4\text{-}10^6\text{cm}^{-2}$ と Si や SiC と比較して相当高いのが現状である。しかしながら、このような自立 GaN 基板上に作製した PN ダイオードにおいては、素子サイズは数十～数百 μm と小さいものの 3kV を超える耐圧を有する素子や、直径 3mm もしくは一辺 4mm の大面積素子で耐圧 700V 以上および電流 100A を超える素子を実現されるなど、縦型 GaN

*1 研究開発部

パワーデバイスの実力が伺える報告がここ数年増加しており、PN ダイオードの性能向上は目覚ましい進歩が見られる¹⁻⁵⁾。一方、ショットキーバリアダイオード (SBD) については、小素子で耐圧 1.2kV、大面積素子では一辺 1.1mm の素子で耐圧 600V、電流 10A の動作が報告されているものの、性能の大幅な向上はここ数年見られていない^{6,7)}。また、トランジスタに関しては低オン抵抗実現 ($2\text{-}3\text{m}\Omega\cdot\text{cm}^2$) については報告があったものの、1kV を超える耐圧は昨年ようやく実現された状況であり、縦型 GaN パワートランジスタ実現に向けてまだ第一歩を踏み出したところである⁸⁻¹¹⁾。

本報告では、自立 GaN 基板上縦型 GaN パワーデバイス実現に向けて我々のグループで開発を行ってきた高耐圧・大電流動作縦型 GaN SBD¹²⁾、および、縦型 GaN トレンチ MOSFET の高耐圧化技術¹¹⁾・低オン抵抗化技術¹³⁾ に関して紹介する。

2. 縦型 GaN SBD

図-1 に我々が開発している縦型 GaN SBD の断面構造の模式図を示す。市販の 2 インチ n^+ -GaN 基板 (転位密度 $\sim 10^6\text{cm}^{-2}$ 台) 上に MOCVD 法により $10\mu\text{m}$ の n^- -GaN 層 (ドナー濃度 $2.5\times 10^{15}\text{cm}^{-3}$) を結晶成長した。アノードとなるショットキー電極には Ni、カソードとなる裏面オーミック電極には Al/Ti を用いている。アノード電極外側の素子周辺部には段差が形成されており、半導体表面は保護膜として $\text{SiO}_2/\text{Al}_2\text{O}_3$ により覆われている。アノード電極上部には Al によるパッド電極を設けているが、このパッド電極を素子周辺から段差下部にまで広げることでいわゆるフィールドプレート

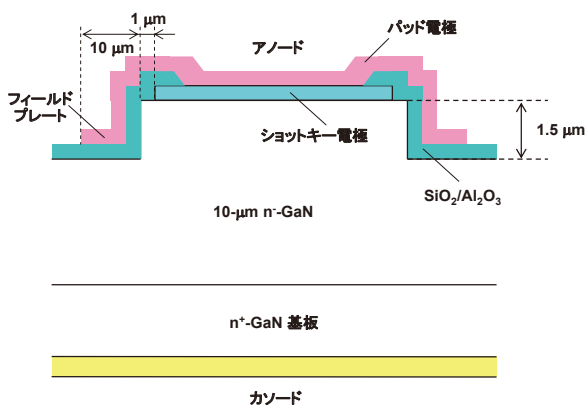


図-1 縦型 GaN SBD の断面構造模式図

(FP) 電極として用いており、ショットキー電極周辺部における電界集中の緩和を図っている。

図-2 にショットキー電極サイズ $3\text{mm}\times 3\text{mm}$ のチップの順方向および逆方向電流-電圧特性を示す。順方向電流は 50A (我々の所有する計測器の最大値) に達している。また、リーク電流 $1\text{mA}/\text{cm}^2$ にてブロック電圧を定義した場合その値は 770V と高く、逆方向電圧が 800V を超えても素子は破壊しなかった。縦型 GaN の SBD としてこのような大電流でかつ高いブロック電圧を同時に達成した例はこれまでになく、PN ダイオードと同様³⁻⁵⁾、転位密度が 10^6cm^{-2} と高い GaN 基板を用いても大電流かつ高耐圧で動作させられることが実証された。

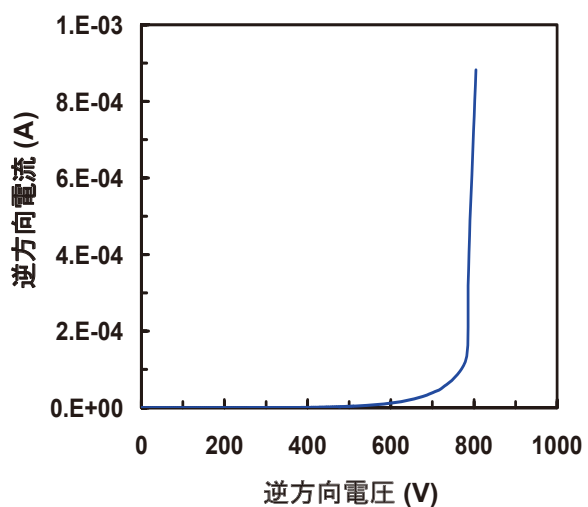
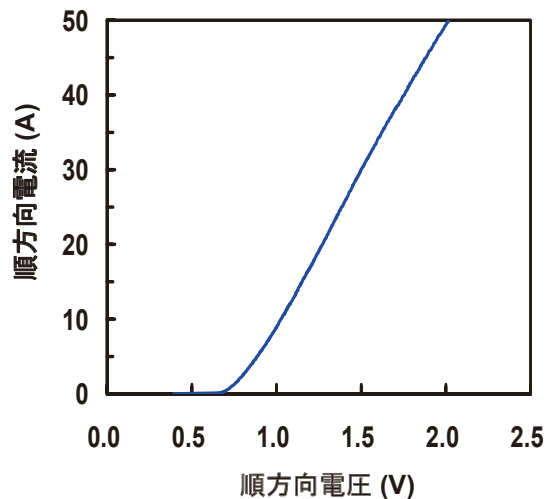


図-2 $3\text{mm}\times 3\text{mm}$ チップ縦型 GaN SBD の電流-電圧特性

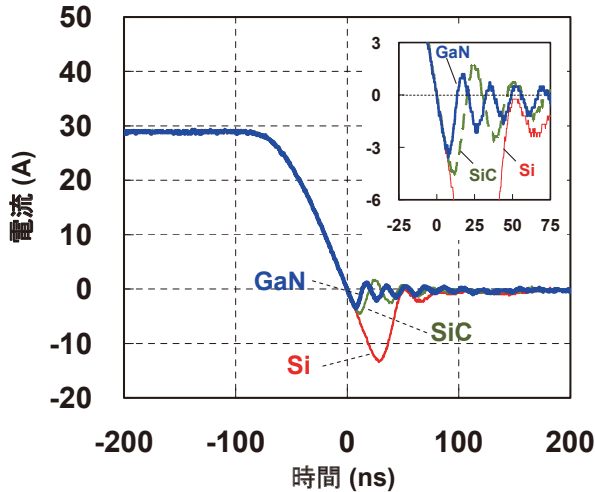


図-3 逆回復特性の比較

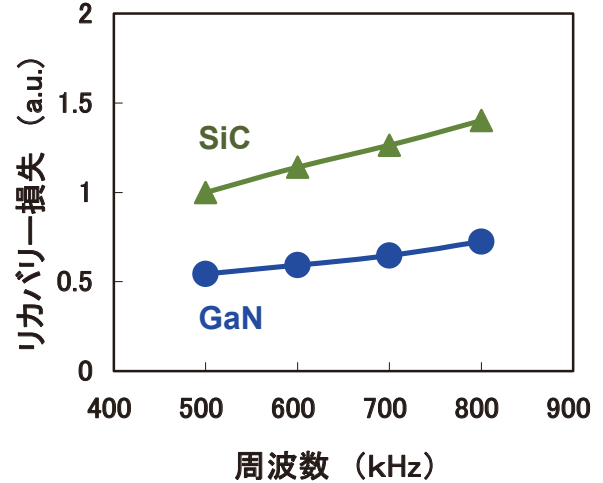


図-4 リカバリー損失の比較

図-3は作製したチップをTO-247パッケージに実装し逆回復特性を評価した結果であり、同レベルの耐圧・動作電流(600V/50A級)を有する市販のSi高速ダイオード(FRD)およびSiC SBDにて評価した結果と比較している。Si FDRと比較すると、SBDであるSiC、GaNとも十分に速い逆回復特性が得られており、また、SBD同士で比較するとGaNのほうが優れていることがわかる。このSiC SBDとGaN SBDとの特性差の有意性について確認するために昇圧コンバータを作製し、SiC SBDとGaN SBDでスイッチング周波数を変えてリカバリー損失を評価し比較した結果、GaN SBDの損失は図-4に示すようにいずれの周波数でもSiC SBDの約半分となっており、GaN SBDが高速スイッチング特性に優れていることが確認できた。

レンチ MOSFET の断面構造の模式図を示す。作製した素子のゲートは図面奥行き方向がゲート幅となる長方形構造を有している。基板には先述の SBD と同様、市販の n^+ -GaN 基板を用い、その上に MOCVD 法によりドリフト層、チャネル (p ボディ) 層、およびソースコンタクト層を結晶成長している。p ボディ層へコンタクトを形成する領域およびゲートトレンチとなる部分は Cl 系ガスをを用いた ICP エッチングによって溝を形成している。p ボディコンタクト形成領域の溝の内部には p 電極となる Pd が形成され、その上を覆いかつソースコンタクト層と接するようにソース電極 Al/Ti を堆積することで、セルピッチ (ソース電極の中心間の距離) を微細化するように工夫している。セルピッチは $15\mu\text{m}$ である。ドレイン電極となる裏面オーミック電極には SBD と同様に Al/Ti を用いている。ゲート絶縁膜は SiO_2 であり、トレンチ内部の被覆性に優れた ALD 法を用いて堆積した。素子周辺には素子分離のための段差が形成されており、その表面は保護膜として

3. 縦型 GaN トレンチ MOSFET

3-1. 高耐圧化技術

図-5に高耐圧化の検討に用いた縦型 GaN ト

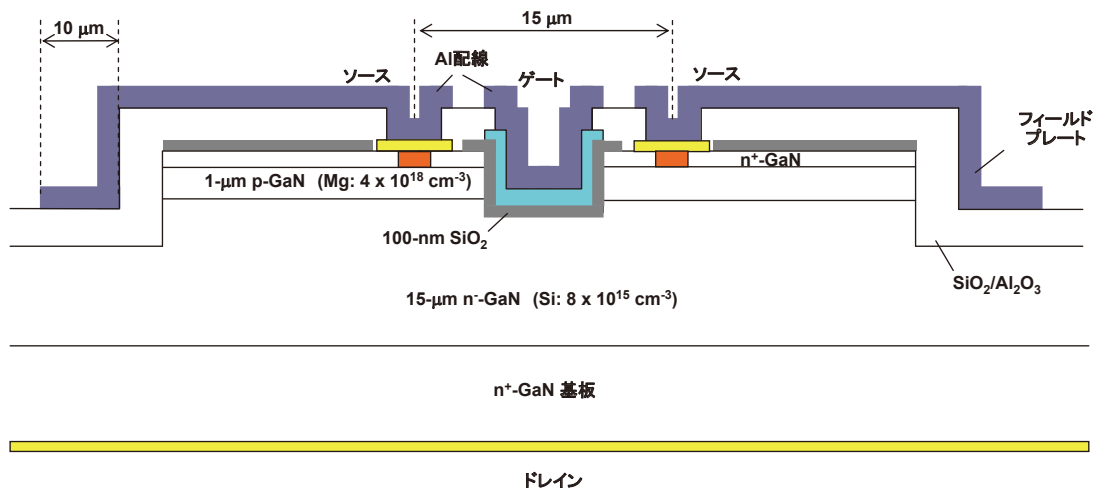


図-5 高耐圧化検討縦型 GaN MOSFET の断面構造模式図

SiO₂/Al₂O₃により覆われている。ゲート電極および配線電極にはAl系電極を用いている。ソースに接続されるAl配線電極を素子分離領域の外側まで引き伸ばすことでFP電極としたいわゆるFP構造を終端構造として採用し、素子分離段差部のpn接合端に集中する電界の緩和を図っている。段差の深さおよび保護膜の膜厚はFP電極がpn接合部分を側方から完全に覆うように設計・作製している。

図-6はV_{DS}=0.5Vにおいて測定したI_D-V_G特性である。しきい値電圧は7Vとノーマリオフ動作をしている。単位セル(セルピッチ)あたりで算出したオン抵抗は12.1mΩ・cm²であり、これまで報告されている横型GaN FETと比較すると高いが、これはセルピッチが15μmと大きく素子の微細化が不十分であることに起因している。

図-7は同一ウエハ上に形成したFP電極を設けた素子および設けなかった素子について逆方向特性を比較した結果である。FP電極の有無によってドレイン電流に差が生じており、用いたFP構造が素子分離領域周辺に流れていたリーク電流の抑制に寄与していることがわかる。FP電極を設けなかった素子のブロッキング電圧は775Vで

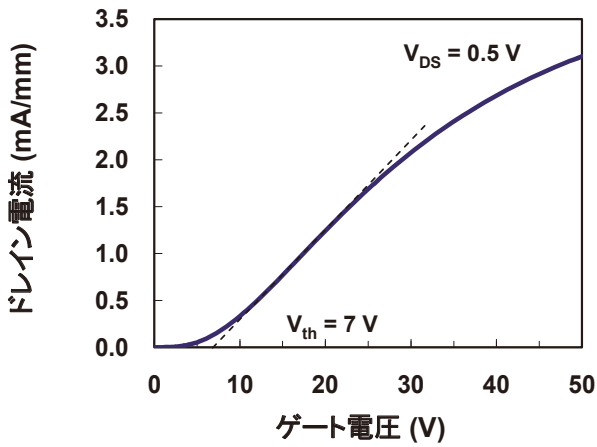


図-6 I_D-V_G 特性

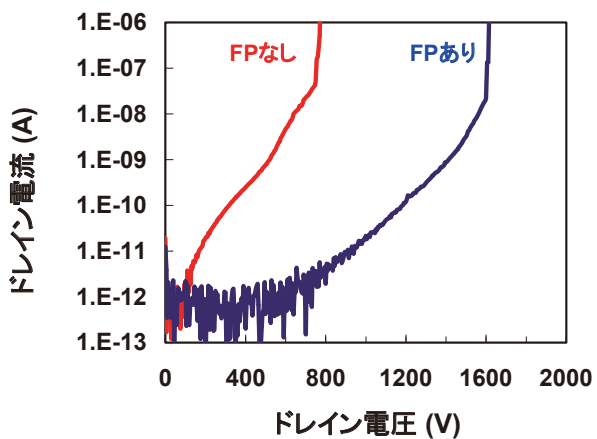


図-7 逆方向特性

あったが、FP電極を設けた素子では1605Vと大幅に向上させることができ、これまで報告されている縦型GaNトランジスタの中で最も高いブロッキング電圧を達成した。

3-2. 低オン抵抗化技術

図-8は低オン抵抗化の検討に用いた縦型GaNトレンチMOSFETの断面構造の模式図および顕微鏡写真である。この検討では、1.2kVクラスの耐圧でオン抵抗を極力低減することを狙いチャンネル層およびドリフト層の膜厚・濃度を最適化するとともに、単位面積あたりに占めるゲート幅の割合を高めるためにゲートのレイアウトを長方形から正六角形に変更した。またセルピッチは12.6μmと図-5に示す素子と比較して微細化を進め、ゲートレイアウト変更と合わせて単位面積あたりに占めるゲート幅の割合を図-5の素子の2倍に高めた。終端構造には図-5の素子と同様のFP構造を用いている。

図-9は作製した六角形ゲートレイアウトを有する縦型GaN MOSFETの逆方向特性であり、ブロッキング電圧は1250Vとほぼ設計通りの値が得られた。同一ウエハ上に作製した長方形ゲート

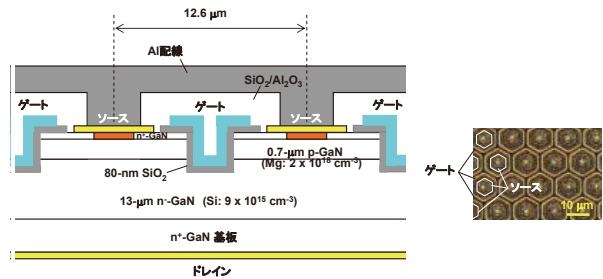


図-8 低オン抵抗化検討縦型GaN MOSFETの断面構造模式図および顕微鏡写真

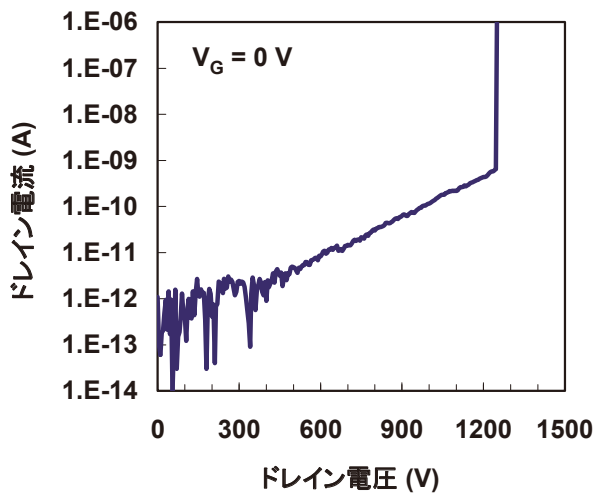


図-9 逆方向特性

トレイアウトの素子においても同レベルのブロッキング電圧が得られており、ゲートレイアウトの変更に伴う逆方向特性の劣化はみられていない。

図-10 および図-11 は作製した六角形ゲートレイアウトを有する縦型 GaN MOSFET の順方向特性である。図-10 は $V_{DS}=0.5V$ において測定した I_D-V_G 特性であり、しきい値電圧は $3.5V$ とノーマリオフ動作をしている。図-11 は I_D-V_{DS} 特性であり、 $V_{DS}=0.5V$ および $V_G=40V$ におけるドレイン電流の値を用いて算出したオン抵抗は $1.8m\Omega \cdot cm^2$ である。

図-12 はオン抵抗と耐圧の関係を比較した図であり、図にはこれまでに他社・他研究機関から報告されている縦型 GaN トランジスタ^{9, 10, 14}、および最先端の性能を有するノーマリオフ横型 GaN トランジスタ¹⁵⁻¹⁷ ならびに SiC MOSFET^{18, 19} の結果も同時に記している。図に示すように、今回得られた結果はノーマリオフ動作する縦型 GaN MOSFET としてこれまで報告されている中で最も

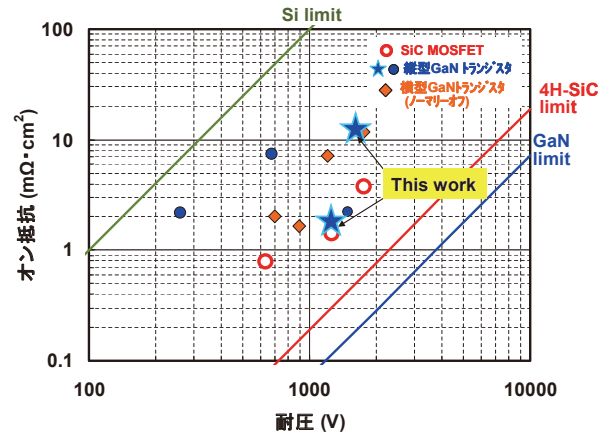


図-12 オン抵抗と耐圧の関係の比較

低い値であり、かつ $1.2kV$ クラスの SiC MOSFET で達成されているトップクラスのオン抵抗に近づけることができたことがわかる。

4. まとめ

縦型 GaN パワーデバイス実現に向けて我々がこれまでに開発を行ってきた高耐圧・大電流動作縦型 GaN SBD、および、縦型 GaN MOSFET の高耐圧化・低オン抵抗化技術について紹介した。自立 GaN 基板はウエハ径の主流が 2 インチと小さく、価格も SiC と比較してもまだまだ高いことから、縦型 GaN パワーデバイス実現に向けては基板の高品質化とともに大口径化・低コスト化が急がれる。トランジスタに関しては、今回作製した素子はサイズが小さく、またセルピッチが SiC MOSFET と比較して 2 倍以上大きいことから、大面積化・大電流化とさらなる低オン抵抗化に向けた素子の微細化が今後の課題である。

謝辞

本研究開発を進めるにあたり、素子作製にご協力いただいた研究開発部エピ・プロセス開発ならびに設備管理の各チームの皆様には感謝致します。また、デバイスの実装およびスイッチング特性の評価にご協力いただいた商品企画センター商品開発部電子技術室の皆様には感謝いたします。

参考文献

- 1) Y. Hatakeyama et al., Jpn. J. Appl. Phys., **52**, 028007 (2013)
- 2) I. C. Kizilyalli et al., IEEE Electron Device Lett., **35**, 247 (2014)
- 3) I. C. Kizilyalli et al., IEEE Trans. Electron Devices, **62**, 414 (2015)

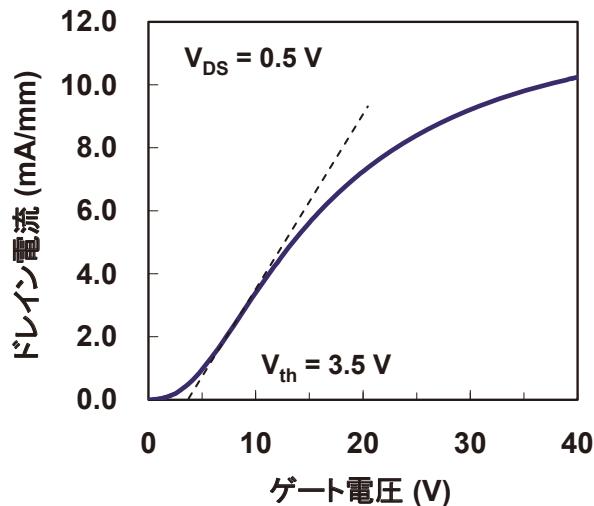


図-10 I_D-V_G 特性

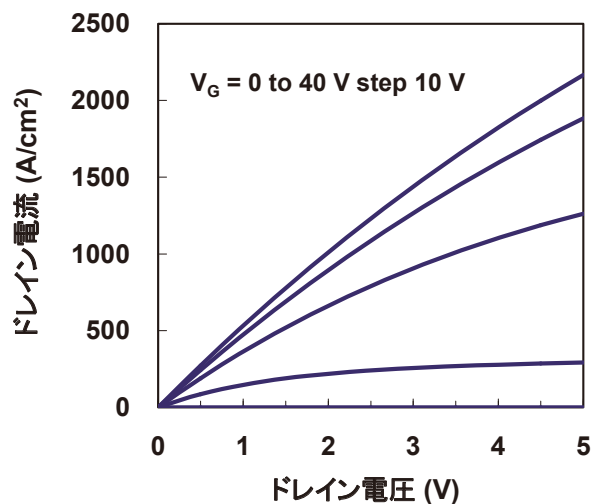


図-11 I_D-V_{DS} 特性

- 4) K. Nomoto et al., 20th Meeting on SiC and Related Wide Bandgap Semiconductors, 2011, p. 14
- 5) I. C. Kizilyalli et al., IEEE Electron Device Lett., **35**, 654 (2014)
- 6) Y. Saitoh et al., Appl. Phys. Express, **3**, 081001 (2010)
- 7) M. Ueno et al., Proc. Int. Symp. Power Semiconductor Devices and IC's, 2014, p. 309
- 8) M. Kanechika et al., Jpn. J. Appl. Phys., **46**, L503 (2007)
- 9) S. Chowdhury et al., IEEE Electron Device Lett., **33**, 41 (2012)
- 10) H. Nie et al., IEEE Electron Device Lett., **35**, 939 (2014)
- 11) T. Oka et al., Appl. Phys. Express, **7**, 021022 (2014)
- 12) N. Tanaka et al., Appl. Phys. Express, **8**, 071001 (2015)
- 13) T. Oka et al., Appl. Phys. Express, **8**, 054101 (2015)
- 14) M. Okada et al., Appl. Phys. Express, **3**, 054201 (2010)
- 15) N. Ikeda et al., Proc. Int. Symp. Power Semiconductor Devices and ICs, 2011, p. 284
- 16) M. Wang et al., IEEE Trans. Electron Devices, **61**, 2035 (2014)
- 17) 森田 他, パナソニック技報, **57**, 15 (2011)
- 18) T. Nakamura et al., IEDM Tech. Dig., 2011, p. 599
- 19) K. Wada et al., Proc. Int. Symp. Power Semiconductor Devices and ICs, 2014, p. 225

著 者



岡 徹



伊奈 務



上野幸久



西井潤弥



田中成明



長谷川一也



安西孝太



村上倫章