

電力変換ロス低減を実現する新規構造横型 GaN パワーデバイス開発

佐藤壽朗^{*1}, 神谷真央^{*1}, 竹中靖博^{*1}, 荒添直棋^{*1}
井手公康^{*1}, 中田尚幸^{*1}, 西島和樹^{*1}, 加藤久東^{*1}
篠田大輔^{*1}, 上村俊也^{*2}

Development of a GaN Power Device with a New Horizontal Structure that Achieves Low Power Conversion Loss

Hisao Sato^{*1}, Masao Kamiya^{*1}, Yasuhiro Takenaka^{*1}, Naoki Arazoe^{*1},
Kimiyasu Ide^{*1}, Naoyuki Nakada^{*1}, Kazuki Nishijima^{*1}, Hisato Kato^{*1},
Daisuke Shinoda^{*1}, Toshiya Uemura^{*2}

1. はじめに

新型コロナウイルスの拡大に伴う経済活動の停滞によって温室効果ガスの排出量が急減、大気清浄化したことが話題となり、これまで以上に環境問題に対する意識が世界的に高まっている。特に自動車産業においては脱炭素社会実現に向けて、各国、各自動車メーカーがEVの普及を加速化する計画を打ち出しており、EV充電システムの需要が高まっていくことが予想される。また、再生可能エネルギーとして注目される太陽光発電装置やそれに付随する定置型蓄電装置も堅調に需要を伸ばしており、それらを系統的に接続する電力変換装置のニーズも高まっている。EV充電システムでは高電圧で充電した方が急速充電が可能となるため、最近では800V充電のシステムが実用化されている。こうした高電圧充電を可能とするためには、使用されるパワーデバイスには1200Vを超えるような耐圧性能が要求される。また産業用途としても1000Vを超えるような高耐圧のニーズは数多くあり、高耐圧で電力変換ロスの小さなパワーデバイスの需要が今後急激に高まっていくことが予想されている。

2. パワーデバイス材料

従来のパワーデバイスはSi半導体がほとんどであったが、SiCやGaN半導体ではパワーデバイスとしての重要特性である低オン抵抗と高速スイッチング特性を実現できるため、電力変換ロスの小さいデバイスが作製可能であり、次世代パ

ワーデバイスとして注目されている。

図-1にはSi, SiC, GaN材料ごとの耐圧とオン抵抗の理論限界値の関係を示す¹⁾。図-1から同じ耐圧であれば、Siに比べてSiCが、さらにSiCに比べてGaNがオン抵抗限界値で優れていることがわかる。高耐圧用途でオン抵抗が小さい、すなわちスイッチングロス・電力変換ロスの小さいデバイスを実現するための材料としては、GaNが最も優れている。

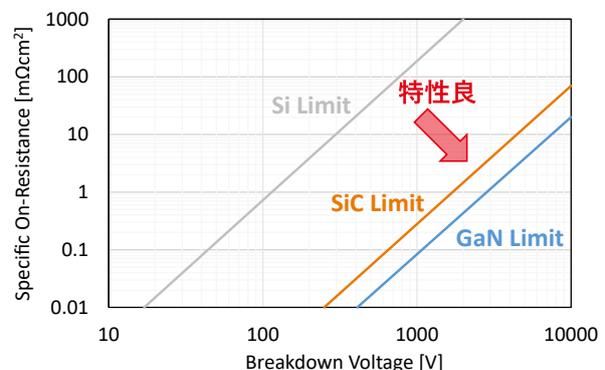


図-1 パワーデバイスの耐圧とオン抵抗の関係

SiCは電流が縦方向に流れる縦型構造のパワーデバイスであり、実用的な耐圧性能は1200V程度までが一般的で、これ以上の耐圧性能を実現する場合には信頼性やコストが課題となる。

GaNパワーデバイスとしては、GaN基板を用いた縦型構造のデバイス開発が行われているが²⁾、これもSiC同様、1200Vを超えるような高耐圧化を実現することは容易ではなく、また使用するGaN基板の大口径化と低コスト化が課題と

*1 ライフソリューション第3技術部 パワーデバイス開発室

*2 ライフソリューション第3技術部

なっている。

既に市販されている GaN パワーデバイスとして HEMT (High Electron Mobility Transistor) 構造の横型デバイスがある^{3),4)}。これは、AlGaIn/GaN ヘテロ接合により生じる高濃度、高移動度の 2次元電子ガス (2DEG) をチャネルとして利用するものであり、Si や SiC では実現できないような高速スイッチングが可能で電力変換器の高効率化に有用である。しかしながら、HEMT 構造横型 GaN パワーデバイスでは電圧印加時に局部的に電界集中が生じてしまうため、1000V を越えるような高耐圧化の実現は極めて困難である。

本稿で紹介する新規構造の横型 GaN パワーデバイスは、サファイア基板上に GaN/AlGaIn/GaN 積層構造を有し、高耐圧特性を実現する特徴があるため⁵⁾、EV 急速充電システムや高電圧が必要な産業機器用途への適用が可能なデバイスである。

3. 新規構造横型 GaN パワーデバイスの構造と特徴

図-2 に示すように GaN/AlGaIn/GaN 積層構造を形成すると AlGaIn 中の自発分極により AlGaIn 上の GaN 界面付近には正孔が、AlGaIn 下の GaN 界面付近には電子が発生する。発生した電子と正孔は薄く平面にガス状に広がることから二次元正孔ガス (2DHG) と二次元電子ガス (2DEG) と呼ばれ、AlGaIn を介した分極超接合 (PSJ: Polarization Super-Junction) 構造となっている。この 2DEG は非常に高密度に存在し、かつ移動度も高いため高速スイッチング動作が期待できる。

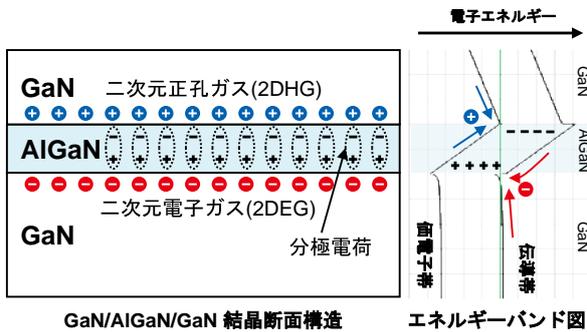


図-2 GaN/AlGaIn/GaN 構造とエネルギーバンド図

一方、2DHG を利用することで高耐圧の素子が実現できる。GaN の破壊電界強度は 3MV/cm であるが (Si は 0.3MV/cm)、通常の素子構造では電界集中する領域ができるため、破壊電界強度を超えないような設計の工夫がなされている。図-3 に PSJ GaN-FET (Field Effect

Transistor: 電界効果トランジスタ) と一般的な GaN-HEMT を示す。図-3 (a) の PSJ GaN-FET はゲート電極 (G) に負バイアスを印加することにより、u-GaN 領域の 2DHG の正孔が引き抜かれ、それに伴い u-GaN 下の 2DEG の電子が消滅する。その結果、図-3 (a) に示した PSJ 領域は全体が空乏化 (電荷がない状態) し、ゲート・ドレイン間の電界強度は一定になる。ドレイン電極からゲート電極へかかる電界を均等に分散できるため電界集中する領域がなく、6000V を超えるような超高耐圧を実現できる可能性がある。

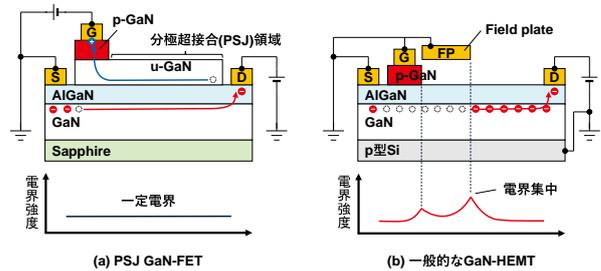


図-3 (a) PSJ GaN-FET と (b) 一般的な GaN-HEMT
S: ソース電極, G: ゲート電極,
D: ドレイン電極, FP: フィールドプレート,
p-GaN: p型 GaN, u-GaN: アンダーポ GaN,
-: 電子, +: 正孔

一般的な GaN-HEMT 図-3 (b) は Si 基板上に結晶成長した基板を用いて素子が作られ、ゲート端への電界集中による耐圧低下を、フィールドプレート (FP) を備えることで改善している。しかしながら Si 基板が導電性のため、ドレイン電極 (D) と Si 基板との間の耐圧が問題となる。下地の GaN 層を厚くすれば耐圧は高くできるが、異種基板に結晶成長しているため結晶欠陥が多く GaN の物性値よりも低い耐圧となっている。さらに、下地の GaN 層を厚膜化していくことは高度な技術を必要とし、GaN の結晶成長中に Si 基板が歪むことによる基板の割れや、結晶にクラックが入る問題などがあるため下地 GaN 層の厚膜化には限界があり、一般的には 650V 前後の耐圧となっている。

また、一般的な GaN-HEMT には電流コラプスと呼ばれる、スイッチング動作 (オフ状態からオン状態) により電流が流れにくくなる現象が起きる問題がある。FP を持たない素子構造の場合、オフ状態でゲート端に強い電界集中が起こることで、ゲート付近に電子が捕獲される。捕獲された電子はゲートに負電圧を印加したような振る舞いをし、仮想ゲートを作り出す。結果として仮想ゲートがチャネル層を空乏化しソース・ドレイン間に流れる電流を絞る形となり、電流が流れにくくなる。電流コラプスの抑制には電界集中を緩和すれ

ばよい。そのため一般的にはFPを用いて、電界集中を緩和して電流コラプスを抑制するが、完全に解消することは難しい。一方、PSJ GaN-FET 構造では電界集中する領域がないため、一般的な GaN-HEMT の実用耐圧よりもはるかに高い 6000V を超えるような電圧印加でも電流コラプスの発生が抑制される特徴を有する。

試作した新規構造の PSJ GaN-FET 素子の断面模式図、外観写真を図-4 に示す。今回は PSJ 領域の幅 (PSJ 長) を $10\mu\text{m}$ 、 $20\mu\text{m}$ 、 $35\mu\text{m}$ 、 $100\mu\text{m}$ と変化させた素子を試作した。また素子のサイズは $4 \times 6\text{mm}$ とした。

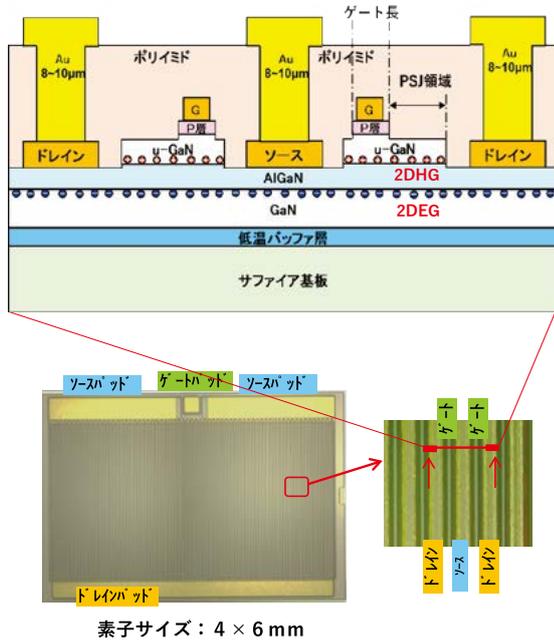


図-4 素子断面模式図, 外観写真

4. 特性紹介

3章で説明した PSJ GaN-FET 素子を試作し、静特性・動特性評価を実施した結果を紹介する。試作した素子は京セラ製 Cu (銅) リード基板パッケージへ簡易的に実装して測定を行った(図-5)。



図-5 特性評価実装形態

4-1. 静特性

典型的な例として、PSJ 長が $20\mu\text{m}$ の I-V 特性を図-6 に示す。図には (a) IdVd, (b) IdVg, (c) オフ状態の IdVd 特性を示している。このデバイスはゲート閾値電圧 V_{th} が -5.0V でありノーマリオンタイプ (ゲート電圧 0V 時に出力電流がオン) の特性である。また、 $V_g+2\text{V}$ 時のドレイン電流の傾きから求めたオン抵抗は $82\text{m}\Omega$ であった。オフ状態の IdVd 特性から素子耐圧は 1300V 以上であることを確認した。

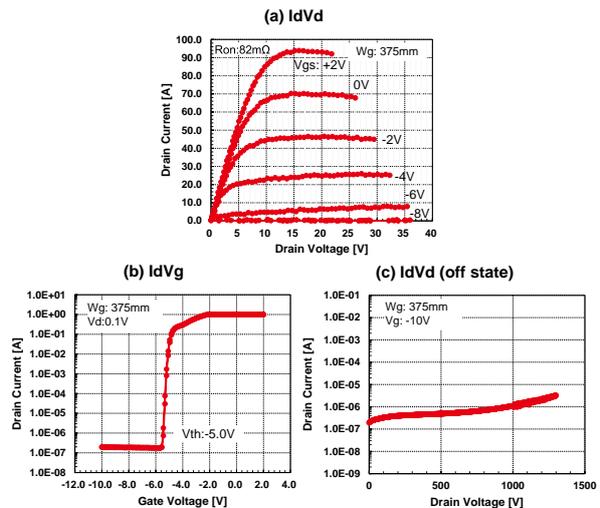


図-6 PSJ GaN-FET (PSJ 長 $20\mu\text{m}$) の I-V 特性

図-7 は、PSJ 長と耐圧の関係を示している。PSJ 長に比例して耐圧が増加する傾向にあり、PSJ 長が $20\mu\text{m}$ 以上で耐圧 1000V、 $100\mu\text{m}$ では耐圧 6000V 以上が得られており、PSJ 長の設計を変えることで高耐圧化が可能であることを確認した。

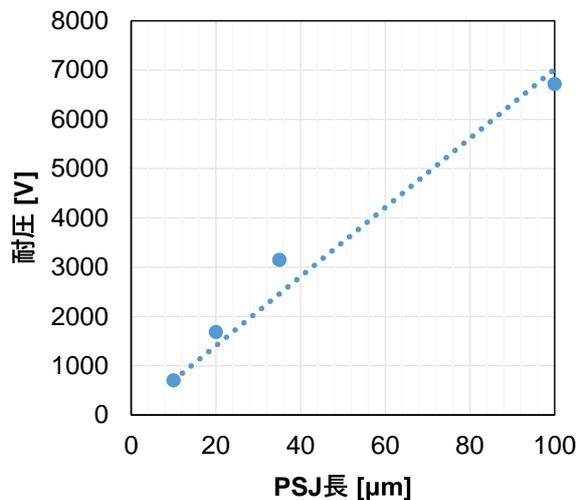


図-7 PSJ 長と耐圧の関係

4-2. 動特性

図-8はPSJ長 $20\mu\text{m}$ 素子の 300V スイッチング特性である。スイッチング評価は図-9に示す回路にて行った。評価は、ゲート入力 $-10\text{V}/+5\text{V}$ 、OnTime $1\mu\text{sec}$ 、Off Time 10sec の条件で実施した。

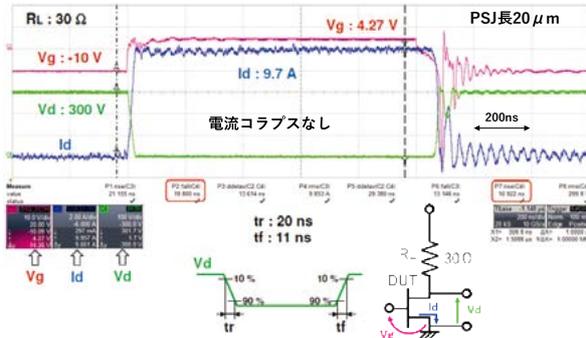


図-8 300V スwitching特性(PSJ長 $20\mu\text{m}$)

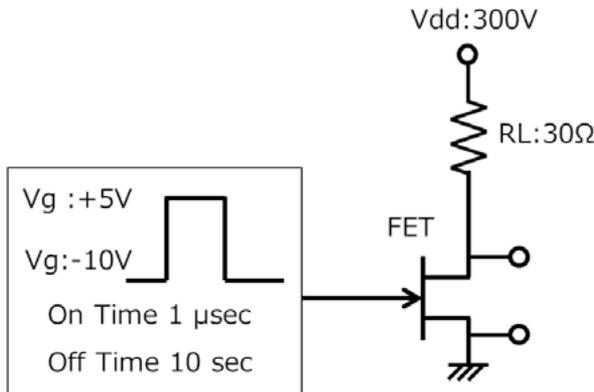


図-9 スwitching特性評価回路

図-8に示すPSJ長 $20\mu\text{m}$ 素子の結果においては、立ち上がり時間(t_r)は 20ns 、立ち下がり時間(t_f)は 11ns であった。また、図-8に示す波形から、オフ状態で 300V であったドレイン電圧(V_d)がオン状態で数V以下まで減少しており電流コラプス現象がないことを確認した。電流コラプスが抑制されていない素子では、スイッチング時に捕獲された電子の影響でオン抵抗が高くなるため、オン時の V_d の波形が下がりきらない。図-10はPSJ長と応答速度の関係を示している。 t_r に関してはPSJ長にあまり依存しない。また、 t_f に関してはPSJ長を長くすると緩やかに遅くなる傾向が認められたが急激な応答速度の低下は見られていない。すなわち、PSJ長を長くし 6000V 以上の高耐圧特性を確保した設計でも高速スイッチングが可能であることが確認できており、高耐圧領域でも電力変換ロスが低いデバイスの実現が期待できる。

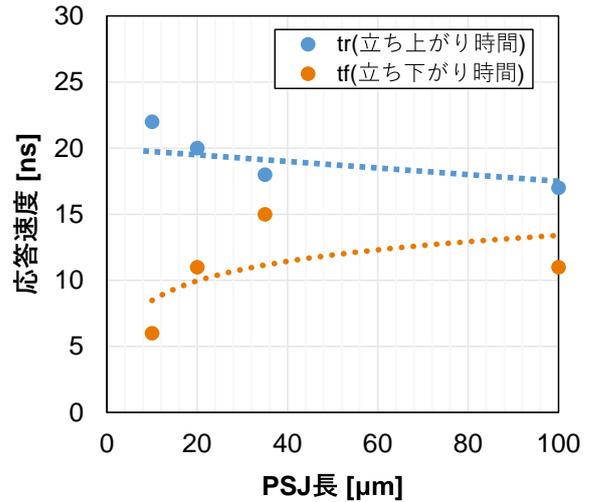


図-10 PSJ長と応答速度の関係

5. まとめ

本稿では、電力変換ロスの小さいデバイスが作製可能な材料であるGaNを用いた新規構造のパワーデバイスについて紹介した。このデバイスは、ノーマリオンで電流コラプスがなく、特に高耐圧用途に対して期待できる結果を得た。

今後は、ノーマリオフ化の実現に向けた開発、設計と性能の関係性の明確化を行うことによる更なる特性向上を図ると共に、信頼性、耐久性の確認を行い、実用化に向けた取り組みを進める。電力変換ロスの具体的な低減効果を評価するためには、実際のコンバータやインバータ回路に組み込む必要があり、今後こうした取り組みも進めていく。また、結晶欠陥を低減したPSJ GaN-FET構造での究極性能を確認するため、GaN基板を用いた開発にも取り組む予定である。

さらに、2020年度から環境省プロジェクトに参画しており、この新規構造のGaNパワーデバイスを搭載した動作電圧 800V 以上(耐圧 1500V 以上)・電力変換効率 98% 以上のコンバータと、高効率・小型・省エネ電力変換装置の開発、実用化を目指している。このプロジェクトを通して応用製品展開も進めていく。

本新規構造横型GaNパワーデバイスの事業化、実用化を達成することができれば、大幅なエネルギー消費量の低減、省 CO_2 社会の実現に貢献できるものと考えている。

謝辞

本稿に掲載された成果の一部は、環境省の「革新的な省 CO_2 実現のための部材や素材の社会実

装・普及展開加速化事業」の支援を受けて行った、プロジェクト運営をしていただいている環境省、共同実施者である東海国立大学機構 名古屋大学、株式会社アイケイエスの皆様に感謝いたします。

また、新規構造デバイスに関する共同開発を実施している株式会社パウデックの皆様に感謝いたします。

参考文献

- 1) 例えば, K. Shenai, Electrochem. Soc. Interface, vol. 22, no. 1, p. 47, (2013).
- 2) 西井ら, 豊田合成技報, Vol.60, p. 34 (2018).
- 3) 引田ら, パナソニック技報, Vol.55, p.21 (2009).
- 4) <https://www.mouser.com/applications/wide-bandgap-gan-transistor/>.
- 5) 八木ら, 第 65 回応用物理学会春季学術講演会講演予稿集, 17p-P12-1.

著 者



佐藤 壽朗



神谷 真央



竹中 靖博



荒添 直棋



井手 公康



中田 尚幸



西島 和樹



加藤 久東



篠田 大輔



上村 俊也