

「縦型 GaN パワー半導体」で世界トップクラスの大電流化を実現

【開発背景】

近年、環境・エネルギー問題の観点から、省エネルギー化や電導化のニーズが高まっており、電力変換に不可欠な電子部品のうち、特に大電力容量を扱うパワー半導体に注目が集まっています。このパワー半導体として、シリコンよりも優れた材料物性をもつ窒化ガリウム(GaN)が注目されています。

GaNを用いたパワー半導体は近年急速に開発・実用化検討が進められています。中でもAlGaN/GaNをベースとした横型の電界効果トランジスタ(Field Effect Transistor:FET)は、2次元電子ガスによる高い移動度によって低いオン抵抗を実現しています。また、この横型のFETは低価格で大口径化が可能なSi基板を用いることで低コストで作成することが可能となります。しかしながら、横型のFETで高い耐圧を維持するためにはゲート-ドレイン間の距離を長くする必要があり、1チップのサイズが大きくなってしまふことから小型化・高集積化が困難という課題があります。

そこで当社ではGaN基板を用いた縦型のGaNパワー半導体の開発に取り組みました。縦型のFETは耐圧維持層の厚さにより耐圧を維持するため、比較的容易に小型化・高集積化が可能です。これまで当社では、半導体チップ中のセルをハニカム構造に設計した上で並列動作させる配線技術やセルの微細化・高集積化により、低抵抗・高耐圧の縦型GaN-MOSFETを開発してきました。

今回は、更なる低抵抗化に向けて半導体層中に「電流分散層(Current Distribution Layer:CDL)」を設ける構造を採用し、電流を耐圧維持層に広げて抵抗値を下げることによって1チップで100アンペアという大電流動作を実現しました。

【開発成果の説明】

1. 電流分散層の導入

FET中の電子は、ソース領域からチャンネルおよび耐圧維持層を経由してドレインへ流れます。チャンネルから耐圧維持層へ電子が流れる際には、ドレインに向かってある程度の広がりを持って流れますので、チャンネル近傍では狭い領域を、ドレイン近傍では広い領域を電子が流れることとなります。すなわち、チャンネル直下近傍の耐圧維持層中においては、電子の経路が狭い領域が存在し、それだけ抵抗が高くなります。電流分散層を設けると、前述の電子の経路が狭い領域を広げることができますので、結果として低抵抗化することが可能となります(図1)。

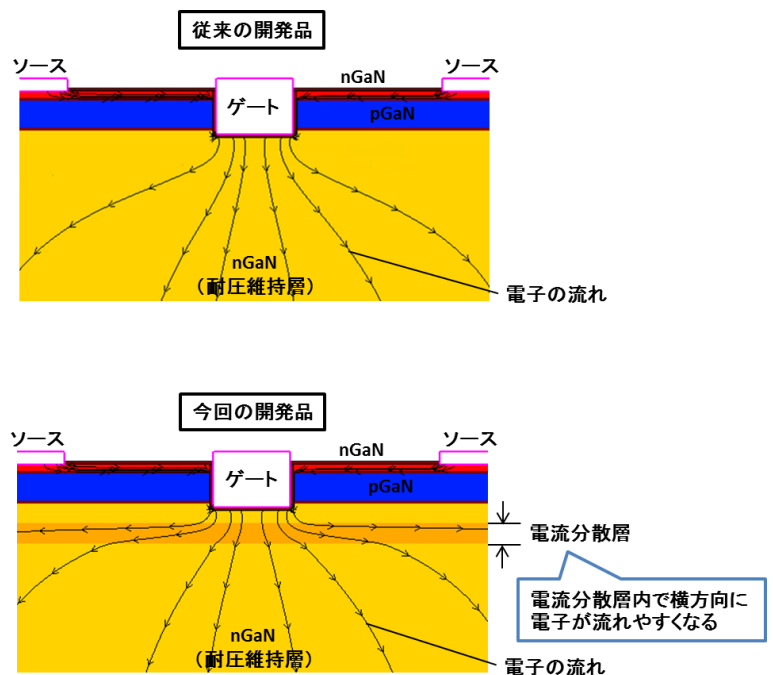


図1. 縦型 GaN-MOSFET の断面構造の概要図

2. シミュレーションによる構造の最適化

電流分散層の形成位置についても検討を行いました。低抵抗化するには、より早い段階で、すなわち極力チャンネルに近い位置で耐圧維持層で電子の経路を拡げることが望ましいです。しかし、pn 接合界面近傍には多数キャリアの少ない領域(空乏層)が形成されることから、pn 接合界面に電流分散層を形成する場合は、高い不純物濃度層を形成する必要があります。そうした場合、オフ状態での pn 接合界面の電界強度が高くなるため、結果として耐圧が悪化するという背反があります。そこで当社では、電流分散層の形成位置について検討を行い、空乏層の影響を受けにくく電流分散効果が高くなる、かつ高い耐圧を維持できる形成位置をシミュレーションから見出しました(図2)。

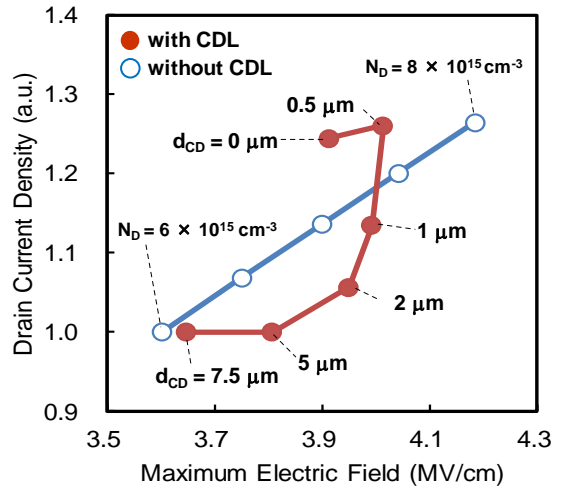


図2. 電流分散層の形成位置と、ドレイン電流密度、電界集中領域の最大電界強度の関係

3. 世界最高水準の1チップ大電流動作実現

上記シミュレーション結果を受けて縦型 GaN-MOSFET の小素子を作製して検証したところ、ドレイン電圧が 0.5V、ゲート電圧が $V_{th}+20V$ での比較において、電流分散層を設けることでドレイン電流が 1.17 倍となることを確認しました(図3)。また、耐圧は電流分散層の有無によらず同等であることも確認しました。また、大電流動作のデモンストレーションとして、電流分散層を適用したチップを作製したところ、1チップで 100A の大電流動作が確認できました(図4)。

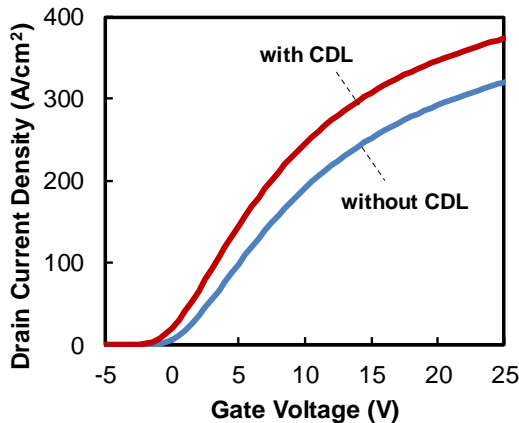


図3. 縦型 MOSFET の I_d - V_{gs} 特性

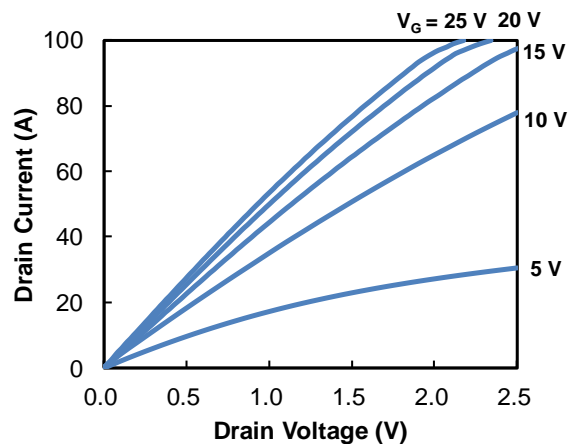


図4. 電流分散層を導入した縦型 MOSFET の I_d - V_{ds} 特性

【今後の展開】

今後も当社は、高性能なパワー半導体の早期実現に向けて、信頼性の向上などの更なる改善を図っていきます。